

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereund

申請 日：西元 2004 年 03 月 16 日  
Application Date

申請 案 號：093106926  
Application No.

申請 人：威盛電子股份有限公司  
Applicant(s)

局 長  
Director General

CERTIFIED COPY OF  
PRIORITY DOCUMENT

蔡 練 生

發文日期：西元 2004 年 8 月 2  
Issue Date

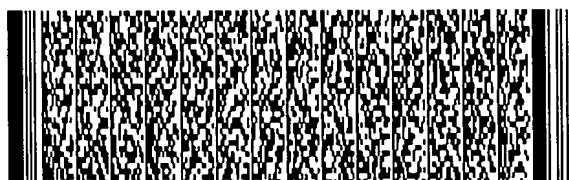
發文字號：09320728730  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	選擇性電鍍法
	英 文	METHOD OF SELECTED PLATING
二、 發明人 (共2人)	姓 名 (中 文)	1. 何昆耀
	姓 名 (英 文)	1. HO, KWUN YAO
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (中 文)	1. 新店市中正路533號8樓
	住 居 所 (英 文)	1. c/o 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	1. 威盛電子股份有限公司
	名稱或 姓 名 (英 文)	1. VIA Technologies, Inc.
	國 籍 (中 英 文)	1. 中華民國 TW
	住 居 所 (營 業 所) (中 文)	1. 台北縣新店市中正路533號8樓 (本地址與前向貴局申請者相同)
	住 居 所 (營 業 所) (英 文)	1. 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
	代 表 人 (中 文)	1. 王雪紅
	代 表 人 (英 文)	1. WANG, HSIUEH HONG



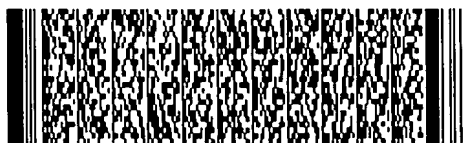
11477T-1 PTD

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	
	英 文	
二、 發明人 (共2人)	姓 名 (中 文)	2. 宮振越
	姓 名 (英 文)	2. KUNG, MORISS
	國 籍 (中 英 文)	2. 中華民國 TW
	住 居 所 (中 文)	2. 新店市中正路533號8樓
	住 居 所 (英 文)	2. c/o 8F, No. 533, Chung-Cheng Rd., Hsin-Tien City, Taipei Hsien, Taiwan, R.O.C.
三、 申請人 (共1人)	名稱或 姓 名 (中 文)	
	名稱或 姓 名 (英 文)	
	國 籍 (中 英 文)	
	住 居 所 (營 業 所) (中 文)	
	住 居 所 (營 業 所) (英 文)	
	代 表 人 (中 文)	
	代 表 人 (英 文)	



四、中文發明摘要 (發明名稱：選擇性電鍍法)

一種選擇性電鍍法係適用於一線路基板。首先提供一線路基板，其具有一第一面及對應之一第二面，並具有至少一第一接合墊、至少一第二接合墊及圖案化之一線路間絕緣層，其中第一接合墊及第二接合墊係分別配置於線路基板之第一面及第二面，且該第一接合墊係電性連接至該第二接合墊，而線路間絕緣層係配置於線路基板之第一面，並相鄰於第一接合墊，接著形成一電鍍種子層於線路基板之第二面，之後電鍍一第一金屬層及一第二金屬層分別於第一接合墊之上及第二接合墊之上，最後移除電鍍種子層之暴露出的部分。

伍、(一)、本案代表圖為：圖1D

(二)、本案代表圖之元件代表符號簡單說明：

100：線路基板

100a：第一面

六、英文發明摘要 (發明名稱：METHOD OF SELECTED PLATING)

A method of selecting plating is suited for a circuit substrate. A circuit substrate provided has a first surface and a corroding second surface and has at least a first bonding pad, at least a second pad, and a patterned under coating layer. The first bonding pad and the second bonding pad are deposited on the first surface and the second surface respectively, and are



四、中文發明摘要 (發明名稱：選擇性電鍍法)

100b : 第二面  
102a : 第一接合墊  
102b : 第二接合墊  
104a : 第一鍍層  
104b : 第二鍍層  
106 : 電鍍種子層  
110a : 第一金屬層  
110b : 第二金屬層  
112a : 第一線路間絕緣層  
112b : 第二線路間絕緣層

六、英文發明摘要 (發明名稱：METHOD OF SELECTED PLATING)

electrically connected with each other. The under coating layer is deposited on the first surface neighbor to the first bonding pad. A plating seed layer is formed on the second surface of the circuit substrate, and then a first metal layer and a second metal layer are plating on the first bonding pad and the second bonding pad respectively. Finally, the exposed



四、中文發明摘要 (發明名稱：選擇性電鍍法)

六、英文發明摘要 (發明名稱：METHOD OF SELECTED PLATING)

portion(s) of the plating seed layer is removed.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



## 五、發明說明 (1)

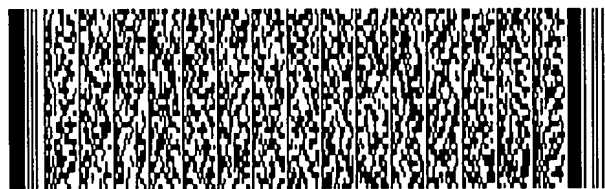
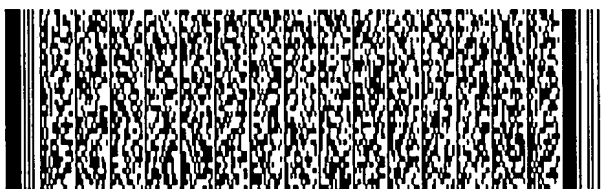
### 發明所屬之技術領域

本發明是有關於一種電鍍法，且特別是有關於一種選擇性電鍍法，其不需製作電鍍線 (plating line) 於線路基板上，即可電鍍金屬層在線路基板之兩面的接合墊上。

### 先前技術

近年來隨著電子工業之生產技術的突飛猛進，印刷電路板 (Printed Circuit Board，簡稱PCB) 之出現，再加上印刷電路板可搭載各種體積精巧之電子零件，使得印刷電路板幾乎已取代原有之導線銲接組件系統，而廣泛地應用於各種不同功能的電子產品。除此之外，隨著積體電路 (IC) 及電腦系統的相繼問世，在積體電路的設計越來越複雜及精細的情況下，單面板型態之印刷電路板無法再提供足夠的佈線密度 (routing density)，使得雙面板及多層板型態之具有高佈線密度的印刷電路板相繼出現。在印刷電路板之實際應用上，印刷電路板除可作為電腦系統之主機板 (main board) 的線路載板 (carrier) 以外，具有微細線路 (fine circuit) 之印刷電路板更可作為晶片封裝用之線路基板 (circuit substrate)。

就晶片封裝用之線路基板而言，習知之線路基板通常具有多層圖案化導電層、至少一絕緣層及多個導電孔道，其中絕緣層係配置於相鄰之二導電層之間，而這些導電孔道則貫穿至少一絕緣層，用以電性連接至少二位





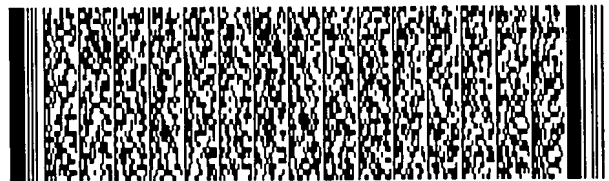
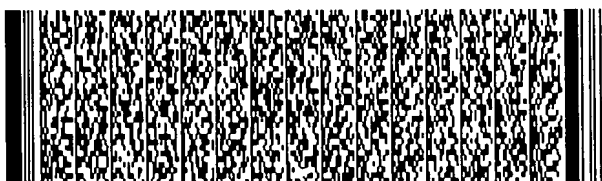
## 五、發明說明 (2)

於絕緣層之兩側的導電層。因此，積體電路晶片將可透過覆晶接合 (flip chip bonding) 或打線接合 (wire bonding) 等方式，而電性連接至線路基板之頂面，再間接地經由線路基板之內部線路及其底面的接點 (例如導電球或針腳等)，而進一步地電性連接至外界之其他的電子裝置。

就打線接合及球格陣列 (Wire Bonding / Ball Grid Array, WB/BGA) 型態之晶片封裝件而言，線路基板之頂面的圖案化導電層會形成多個接合墊 (bonding pad)，其係用以分別連接多條導線之末端，而線路基板之底面的圖案化導電層則會形成多個接合墊，其係用以分別電性連接多顆導電球。值得注意的是，由於圖案化導電層之常用材料為銅，為了避免銅材質之接合墊發生氧化，且為了提升導線之末端連接至接合墊的良率及可靠度，所以在這些接合墊之表面上均會分別電鍍形成一金屬層，例如一鎳金層 (Ni/Au layer)。

為了在線路基板之兩面的接合墊其表面上電鍍形成一金屬層，通常是將一至數條電鍍線 (plating line) 形成於線路基板之周圍，並形成多條電鍍短線段

(plating stub) 來分別電性連接這些接合墊及上述之電鍍線，使得電鍍用之電流能夠經由上述之電鍍線及電鍍短線段，來提供至線路基板之這些接合墊，以便於分別在這些接合墊之表面上電鍍形成一金屬層。然而，這樣的作法將會在線路基板之表面上殘留許多電鍍短線



### 五、發明說明 (3)

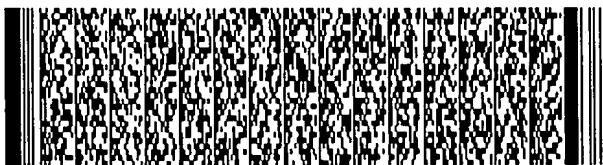
段。值得注意的是，這些電鍍短線段將會佔用線路基板之佈線面積，因而導致線路基板之佈線密度無法有效地提升。此外，這些電鍍短線段更會干擾到線路基板之訊號傳輸，因而降低線路基板之電性效能。

在線路基板之表面的接合墊上電鍍形成金屬層的過程期間，為了使得這些接合墊毋須經由習知之電鍍線及電鍍短線段即可獲得電鍍用之電流來電鍍形成金屬層，習知技術更發展出一種選擇性電鍍法，其關鍵是必須在線路基板之兩面分別形成一電鍍種子層，並且在圖案化這兩層電鍍種子層以後，能夠經由這兩層電鍍種子層來提供電鍍用之電流至線路基板之兩面的這些接合墊。然而，由於習知之選擇性電鍍法必須形成兩電鍍種子層，並且在圖案化及後續移除這些電鍍種子層還需要相當多的步驟，如此將導致採用習知之選擇性電鍍法的線路基板製程需要較長的生產週期及較高之生產成本。

#### 發明內容

有鑑於此，本發明的目的就是在提供一種選擇性電鍍法，用以在線路基板之兩面的接合墊上，以電鍍法形成至少一金屬層。

依照本發明之上述目的，本發明提出一種選擇性電鍍法。首先提供一線路基板，其具有一第一面及對應之第二面，並具有一至少一第一接合墊、至少一第二接合墊及圖案化之一線路間絕緣層，其中第一接合墊及第二接合墊係分別配置於線路基板之第一面及第二面，且該



#### 五、發明說明 (4)

第一接合墊係電性連接至該第二接合墊，而線路間絕緣層係配置於線路基板之第一面，並相鄰於第一接合墊，第一接合墊係形成一電鍍種子層於第一金屬層及第二接合墊之上，最後移除電鍍種子層之暴露部分。

基於上述，本發明在製程初始所提供之線路基板更具有圖案化之一線路間絕緣層，其係配置於線路基板之第一面，並相鄰於第一接合墊，用以填滿第一接合墊及其鄰側的其他接合墊或導線所圍成的空間，使得第一接合墊及線路間絕緣層之表面構成一平滑表面，故可增加後續製程之良率。此外，本發明乃是由電鍍種子層及第二接合墊之內部電鍍至第一金屬層，來將第一金屬層之一第二接合墊之上，同時經電鍍另外，本發明在電鍍第二金屬層或圖案化之第二金屬層時，可搭配圖案化之單幕層或圖案化之第二金屬層之第二接合墊之上。

為讓本發明之上述和其他目的、特徵和優點能更明顯易懂，下文特舉多個實施例，並配合所附圖式，作詳細說明如下。

#### 實施方式

##### 第一實施例



#### 五、發明說明 (5)

請參考圖1A~1D，其繪示本發明之第一實施例之選擇性電鍍法的剖面圖。

如圖1A所示，首先提供一線路基板100，其係構成自多層圖案化導電層、至少一絕緣層及多個導電孔道，其中絕緣層係配設於任二相鄰之圖案化導電層之間，並經由這些導電孔道來電性連接至少二圖案化導電層，且這些圖案化導電層及這些導電通孔係共同組成線路基板100之一內部線路。

又如圖1A所示，線路基板100具有多個第一接合墊102a及多個第二接合墊102b，其分別配置於線路基板100之一第一面100a及對應之一第二面100b，且這些第一接合墊102a及這些第二接合墊102b係可分別由線路基板100之兩個最外側的圖案化導電層所構成。

又如圖1A所示，線路基板100更具有圖案化之一線路間絕緣層112a，其配置於線路基板100之第一面100a，並相鄰於第一接合墊102a，用以填滿第一接合墊102a及其鄰側的其他接合墊或導線所圍成的空間，使得第一接合墊102a及線路間絕緣層112a之表面構成一平滑表面，用以增加後續製程之良率。另外，線路基板100亦可選擇性地具有圖案化之一線路間絕緣層112b，其配置於線路基板100之第二面100b，並相鄰於第二接合墊102b，用以填滿第二接合墊102b及其鄰側的其他接合墊或導線所圍成的空間，使得第二接合墊102b及線路間絕緣層112b之表面構成一平滑表面，同樣用以增加後續製程之良率。



## 五、發明說明 (6)

又如圖1A所示，線路基板100更具有圖案化之一第一錫罩層104a，其係配置於第一面100a，並覆蓋至少局部之第一線路間絕緣層112a，且可以錫罩定義（Solder Mask Define，SMD）或非錫罩定義（Non Solder Mask Define，NSMD）的方式，來暴露出這些第一接合墊102a，此處係採用非錫罩定義（NSMD）的方式。此外，線路基板100更具有圖案化之一第二錫罩層104b，其配置於第二面100b，並覆蓋至少局部之第二線路間絕緣層112b，且同樣可以錫罩定義（SMD）或非錫罩定義（NSMD）的方式，來暴露出這些第二接合墊102b，此處係採用錫罩定義（SMD）的方式。

如圖1B所示，在提供上述之線路基板100以後，接著全面性地形成一電鍍種子層106於線路基板100之第二面100b，且電鍍種子層106更覆蓋這些第二接合墊102b之暴露於第二錫罩層104b的多個部分。

又如圖1B所示，在形成電鍍種子層106以後，接著形成圖案化之一罩幕層108於線路基板100之第二面100b，其中罩幕層108係暴露出電鍍種子層106之位於這些第二接合墊102b之上的多個部分。

如圖1C所示，在形成罩幕層108之後，接著經由電鍍種子層106及線路基板100之內部線路，來提供電流至這些第一接合墊102a，用以分別電鍍一第一金屬層110a至這些第一接合墊102a之上。此外，在電鍍這些第一金屬層110a的同時，尚可提供電流至電鍍種子層106，用以分



## 五、發明說明 (7)

別電鍍一第二金屬層110b至這些第二接合墊102b之上。上述之這些第一金屬層110a及第二金屬層110b係可為單一金屬層或多重金屬層，例如為鎳金屬層。

如圖1D所示，在形成這些第一金屬層110a及這些第二金屬層110b之後，接著移除圖1C之罩幕層108，再移除電鍍種子層106之暴露出的部分，用以圖案化電鍍種子層106，而暴露出第二鍍層108之未受這些第二金屬層110b所遮蓋的部分。上述之移除電鍍種子層106的方法例如為蝕刻(etching)及研磨(polish)等。

基於上述，本發明之第一實施例乃是在線路基板之一面依序形成一電鍍種子層及圖案化之一罩幕層，並經由電鍍種子層及罩幕層，以分別電鍍一金屬層至線路基板之該面的多個接合墊，並且更可經由電鍍種子層及線路基板之內部線路，來分別電鍍一金屬層至線路基板之另一面的多個接合墊，最後移除罩幕層。因此，本發明之第一實施例僅需要製作單一電鍍種子層及單一圖案化罩幕層，並經由此電鍍種子層、線路基板之內部電路及此罩幕層，即可同時形成金屬層至線路基板之兩面的接合墊上。

### 第二實施例

相較於第一實施例之依序形成電鍍種子層、圖案化罩幕層及金屬層，第二實施例則是依序形成電鍍種子層、金屬層及圖案化罩幕層。

請參考圖2A~2D，其繪示本發明之第二實施例之選



#### 五、發明說明 (8)

擇性電鍍法的剖面圖。

如圖3A所示，首先提供一線路基板200，其組成已揭露於第一實施例之線路基板100，於此不再贅述。線路基板200具有多個第一接合墊202a及多個第二接合墊202b，其分別配置於線路基板200之一第一面200a及對應之一第二面200b，且這些第一接合墊202a及這些第二接合墊202b係可分別由線路基板200之兩個最外側的圖案化導電層所構成。

又如圖2A所示，線路基板200更具有圖案化之一線路間絕緣層212a，其配置於線路基板200之第一面200a，並相鄰於第一接合墊202a，用以填滿第一接合墊202a及其鄰側的其他接合墊或導線所圍成的空間，使得第一接合墊202a及線路間絕緣層212a之表面構成一平滑表面，用以增加後續製程之良率。另外，線路基板200亦可選擇性地具有圖案化之一線路間絕緣層212b，其配置於線路基板200之第二面200b，並相鄰於第二接合墊202b，用以填滿第二接合墊202b及其鄰側的其他接合墊或導線所圍成的空間，使得第二接合墊202b及線路間絕緣層212b之表面構成一平滑表面，同樣用以增加後續製程之良率。

又如圖2A所示，線路基板200更具有圖案化之一第一鍍罩層204a，其係配置於第一面200a，並覆蓋至少局部之第一線路間絕緣層212a，且可以鍍罩定義(SMD)或非鍍罩定義(NSMD)的方式，來局部地或全部地暴露出這些第一接合墊202a，此處係採用非鍍罩定義(NSMD)的



#### 五、發明說明 (9)

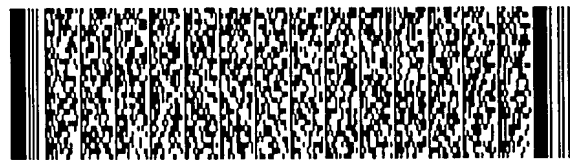
方式，即全部地暴露出這些第一接合墊202a。此外，線路基板200更具有圖案化之一第二鐳罩層204b，其配置於第二面200b，並覆蓋至少局部之第二線路間絕緣層212b，且同樣可以鐳罩定義（SMD）或非鐳罩定義（NSMD）的方式，來局部地或全部地暴露出這些第二接合墊202b，此處係採用鐳罩定義（SMD）的方式，即局部地暴露出這些第二接合墊202b。

如圖2B所示，在提供上述之線路基板200以後，接著全面性地形成一電鍍種子層206於線路基板200之第二面200b，且電鍍種子層206更覆蓋這些第二接合墊202b之暴露於第二鐳罩層204b的部分。

又如圖2B所示，在形成電鍍種子層206以後，接著經由電鍍種子層206及線路基板200之內部線路，來提供電流至這些第一接合墊202a，用以分別電鍍一第一金屬層210a至這些第一接合墊202a之上。此外，在電鍍這些第一金屬層210a的同時，尚可提供電流至電鍍種子層206，用以全面性地電鍍一第二金屬層210b至電鍍種子層206上。上述之這些第一金屬層210a及第二金屬層210b係可為單一金屬層或多重金屬層，例如為鎳金屬層。

又如圖2B所示，在形成這些第一金屬層210a及此一第二金屬層210b以後，接著形成圖案化之一罩幕層208於第二金屬層210b之上，其中罩幕層208係覆蓋於第二金屬層210b之位於這些第二接合墊202b之上的多個部分。

如圖2C所示，在依序形成電鍍種子層206、第二金屬





#### 五、發明說明 (10)

層210b及單幕層208之後，接著移除第二金屬層210b之暴露出的部分，用以圖案化第二金屬層210b，之後再移除電鍍金屬層206之暴露出的部分，用以圖案化電鍍金屬層206。上述之移除電鍍種子層206的方法例如為蝕刻及研磨等。

如圖2D所示，在圖案化第二金屬層210b及電鍍金屬層206以後，接著移除圖2C之單幕層208，而暴露出圖案化後之第二金屬層210b的表面。

基於上述，本發明之第二實施例乃是在線路基板之一面形成一電鍍種子層，並經由電鍍種子層及線路基板之內部線路，來分別電鍍一金屬層至線路基板之另一面的多個接合墊，且同時經由電鍍種子層來全面性形成一金屬層於電鍍種子層之上，接著形成圖案化之一單幕層於電鍍種子層及金屬層上，之後移除金屬層之暴露出的部分，再移除電鍍種子層之暴露出的部分，最後移除單幕層。因此，本發明之第二實施例僅需要製作單一電鍍種子層，並經由此電鍍種子層及線路基板之內部電路來形成金屬層於線路基板之兩面的接合墊上，接著再經由單一圖案化單幕層來圖案化線路基板之某一面尚未圖案化的金屬層。

#### 第三實施例

相較於第一及第二實施例之預先形成兩鍍層於線路基板之兩面，第三實施例乃是在分別形成一金屬層於線路基板之兩面的這些接合墊之上以後，始得分別形成



#### 五、發明說明 (11)

圖案化之一鍍罩層於線路基板之兩面，並暴露出這些接合墊之上的這些金屬層。

請參考圖3A～3D，其繪示本發明之第三實施例之選擇性電鍍法的剖面圖。

如圖3A所示，首先提供一線路基板300，其組成同樣已揭露於第一實施例之線路基板300，於此不再贅述。線路基板300具有多個第一接合墊302a及多個第二接合墊302b，其分別配置於線路基板300之一第一面300a及對應之一第二面300b，且這些第一接合墊302a及這些第二接合墊302b係可分別由線路基板300之兩個最外側的圖案化導電層所構成。

又如圖3A所示，線路基板300更具有圖案化之一線路間絕緣層312a，其配置於線路基板300之第一面300a，並相鄰於第一接合墊302a，用以填滿第一接合墊302a及其鄰側的其他接合墊或導線所圍成的空間，使得第一接合墊302a及線路間絕緣層312a之表面構成一平滑表面，用以增加後續製程之良率。另外，線路基板300亦可選擇性地具有圖案化之一線路間絕緣層312b，其配置於線路基板300之第二面300b，並相鄰於第二接合墊302b，用以填滿第二接合墊302b及其鄰側的其他接合墊或導線所圍成的空間，使得第二接合墊302b及線路間絕緣層312b之表面構成一平滑表面，同樣用以增加後續製程之良率。

如圖3B所示，在提供上述之線路基板300以後，接著全面性地形成一電鍍種子層306於線路基板300之第二面



##### 五、發明說明 (12)

300b，其中電鍍種子層306覆蓋這些第二接合墊302b及線路間絕緣層312b，且電鍍種子層306更覆蓋在構成這些第二接合墊302之圖案化導電層的其他部分，例如導線部分。

又如圖3B所示，在形成上述之電鍍種子層306以後，接著形成圖案化之一第一罩幕層308a於線路基板300之第一面300a，同時形成圖案化之一第二罩幕層308b於線路基板300之第二面300b的電鍍種子層306上。此外，第一罩幕層308a係覆蓋至少局部之第一線路間絕緣層312a，並可全部地（或局部地）暴露出這些第一接合墊302a。另外，第二罩幕層308b亦覆蓋至少局部之第二線路間絕緣層312b，並可局部地（或全部地）暴露出這些分別位於這些第二接合墊302b之上方的電鍍種子層306的多個部分。

如圖3C所示，在形成上述之第一罩幕層308a及第二罩幕層308b以後，接著經由電鍍種子層306及線路基板300之內部線路，來提供電流至這些第一接合墊302a，用以分別電鍍一第一金屬層310a至這些第一接合墊302a之上。此外，在電鍍這些第一金屬層310a的同時，尚可提供電流至電鍍種子層306，用以分別電鍍一第二金屬層310b至電鍍種子層306之位於第二接合墊302b上的部分。上述之這些第一金屬層310a及第二金屬層310b係可為單一金屬層或多重金屬層，例如為鎳金屬層。

如圖3D所示，在形成電鍍種子層306、第一罩幕層



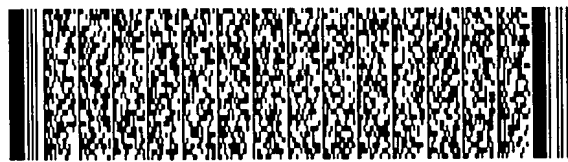
#### 五、發明說明 (13)

308a、第二罩幕層308b、這些第一金屬層310a及這些第二金屬層310b以後，接著移除圖3C之第一罩幕層308a、第二罩幕層308b，再移除電鍍種子層306之暴露出的部分，用以圖案化電鍍種子層306。上述之移除電鍍種子層206的方法例如為蝕刻及研磨等。

又如圖3D所示，在移除電鍍金屬層206之暴露出的部分以後，接著可選擇性地形成圖案化之一第一鐳罩層304a於線路基板300之第一面300a，其中第一鐳罩層304a係覆蓋至少局部之第一線路間絕緣層312a，並可全部地（或局部地）暴露出這些第一金屬層310a。此外，更可選擇性地形成圖案化之一第二鐳罩層304b於線路基板300之第二面300b，其中第二鐳罩層304b係覆蓋至少局部之第二線路間絕緣層312b，並可全部地（或局部地）暴露出這些第二金屬層310b。

基於上述，本發明之第三實施例乃是在線路基板之一面形成一電鍍種子層及圖案化之一罩幕層，且在線路基板之另一面形成圖案化之另一罩幕層，並經由電鍍種子層來分別電鍍一金屬層至線路基板之該面的這些接合墊，且經由電鍍種子層及線路基板之內部線路，來分別電鍍一金屬層至線路基板之另一面的多個接合墊，接著移除上述之兩罩幕層，再移除電鍍種子層之暴露出的部分，最後分別形成圖案化之一鐳罩層於線路基板之兩面，其中鐳罩層係全部地或局部地暴露出這些金屬層。

#### 第四實施例



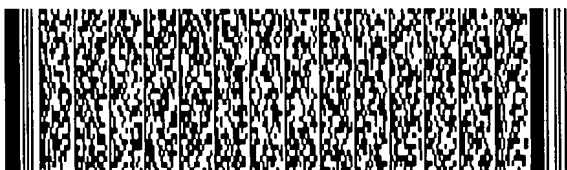
## 五、發明說明 (14)

相較於第三實施例之以電鍍種子層及圖案化罩幕層來形成多個金屬層於接合墊上，第四實施例係先形成電鍍種子層及金屬層之後，接著形成圖案化罩幕層於金屬層上，再依序移除金屬層之暴露出的部分及電鍍種子層之暴露出的部分。

請參考圖4A～4D，其繪示本發明之第四實施例之選擇性電鍍法的剖面圖。

如圖4A所示，首先提供一線路基板400，其組成同樣已揭露於第一實施例之線路基板400，於此不再贅述。線路基板400具有多個第一接合墊402a及多個第二接合墊402b，其分別配置於線路基板400之一第一面400a及對應之一第二面400b，且這些第一接合墊402a及這些第二接合墊402b係可分別由線路基板400之兩個最外側的圖案化導電層所構成。

又如圖4A所示，線路基板300更具有圖案化之一線路間絕緣層312a，其配置於線路基板300之第一面300a，並相鄰於第一接合墊302a，用以填滿第一接合墊302a及其鄰側的其他接合墊或導線所圍成的空間，使得第一接合墊302a及線路間絕緣層312a之表面構成一平滑表面，用以增加後續製程之良率。另外，線路基板300亦可選擇性地具有圖案化之一線路間絕緣層312b，其配置於線路基板300之第二面300b，並相鄰於第二接合墊302b，用以填滿第二接合墊302b及其鄰側的其他接合墊或導線所圍成的空間，使得第二接合墊302b及線路間絕緣層312b之表



## 五、發明說明 (15)

面構成一平滑表面，同樣用以增加後續製程之良率。

如圖4B所示，在提供上述之線路基板400以後，接著全面性地形成一電鍍種子層406於線路基板400之第二面400b，其中電鍍種子層406覆蓋這些第二接合墊402b及線路間絕緣層412b，且電鍍種子層406更覆蓋在構成這些第二接合墊402之圖案化導電層的其他部分，例如導線部分。

又如圖4B所示，在提供上述之電鍍種子層406以後，接著形成圖案化之一第一單幕層408a於線路基板400之第一面400a，其中第一單幕層408a係覆蓋至少局部之第一線路間絕緣層412a，並可全部地（或局部地）暴露出這些第一接合墊402a。

又如圖4B所示，在形成上述之第一單幕層408a以後，接著經由電鍍種子層406及線路基板400之內部線路，來提供電流至這些第一接合墊402a，用以分別電鍍一第一金屬層410a至這些第一接合墊402a之上。此外，在電鍍這些第一金屬層410a的同時，尚可提供電流至電鍍種子層406，用以全面性地電鍍一第二金屬層410b至電鍍種子層406上。上述之這些第一金屬層410a及第二金屬層410b係可為單一金屬層或多重金屬層，例如為鎳金層。

又如圖4B所示，在形成這些第一金屬層410a及第二金屬層410b之後，接著形成圖案化之一第二單幕層408b於第二金屬層410b之上，其中第二單幕層408b係覆蓋於



#### 五、發明說明 (16)

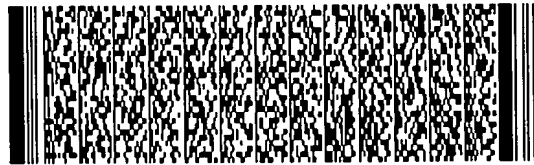
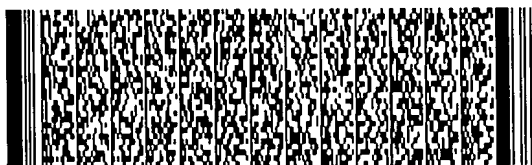
第二金屬層410b之位於這些第二接合墊402b之上方的多個部分。

如圖4C所示，在形成第二單幕層408b之後，接著移除第二金屬層410b之暴露出的部分，用以圖案化第二金屬層410b，再移除電鍍種子層406之暴露出的部分，用以圖案化電鍍種子層406。上述之移除電鍍種子層406及第二金屬層408b的方法例如為蝕刻等。

如圖4D所示，在移除第二金屬層410b之暴露出的部分及電鍍種子層406之暴露出的部分以後，接著移除圖7B之第一單幕層408a及第二單幕層408b。值得注意的是，在形成這些第一金屬層410a之後，即可移除第一單幕層408a。

又如圖4D所示，在移除第一單幕層408a及第二單幕層408b之後，接著可選擇性地在形成圖案化之一第一鍍層404a於線路基板400之第一面400a，其中第一鍍層404a係覆蓋至少局部之第一線路間絕緣層412a，並可全部地（或局部地）暴露出這些第一金屬層410a。此外，亦可選擇性地形成圖案化之一第二鍍層404b於線路基板400之第二面400b，其中第二鍍層404b係覆蓋至少局部之第二線路間絕緣層412b，並可全部地（或局部地）暴露出第二金屬層410b之位於這些第二接合墊402b之上的這些部分。

基於上述，本發明之第四實施例乃是在線路基板之一面形成一電鍍種子層，其覆蓋於線路基板之該面的多



## 五、發明說明 (17)

個接合墊，並且形成圖案化之一單幕層於線路基板之另一面，其中單幕層係暴露於線路基板之另一面的多個接合墊。接著，經由電鍍種子層全面性地形成一金屬層於線路基板之該面，同時經由電鍍種子層及線路基板之內個部線路來分別電鍍一金屬層於線路基板之另一面的多個接合墊之上。接著，移除線路基板之另一面的單幕層，並且圖案化線路基板之該面的電鍍種子層及金屬層，使得線路基板之該面的多個接合墊之上均分別配置電鍍種子層及金屬層之一部分。

依照本發明之上述多個實施例，本發明乃是分別形成一電鍍種子層於線路基板之第二面，接著經由電鍍種子層及線路基板之用以電性連接第一接合墊及第二接合墊之內部電路，來將一第一金屬層電鍍至第一接合墊之上，同時經由電鍍種子層，來將一第二金屬層電鍍至第二接合墊之上。值得注意的是，在電鍍第二金屬層至電鍍種子層之上的期間，可搭配圖案化單幕層或圖案化鍍單層來將第二金屬層定義至第二接合墊之上。

綜上所述，本發明之選擇性電鍍法具有下列優點：

(1) 由於本發明在製程初始所提供之線路基板已具有圖案化之一線路間絕緣層，其配置於線路基板之一面，並相鄰於線路基板之該面的一接合墊，用以填滿此接合墊及其鄰側的其他接合墊或導線所圍成的空間，使得接合墊及線路間絕緣層之表面構成一平滑表面，故可增加後續製程之良率。





## 五、發明說明 (18)

(2) 由於本發明無須習知之電鍍線及電鍍短線段來電性連接線路基板之頂面的接合墊，並可經由單一電鍍種子層及線路基板之內部線路，且以電鍍的方式將金屬層形成在線路基板之兩面的接合墊上，使得採用本發明之線路基板將可獲得較大的佈線空間及較高的佈線密度。

(3) 由於本發明無須習知之電鍍線及電鍍短線段來電性連接線路基板之頂面的接合墊，並可經由單一電鍍種子層及線路基板之內部線路，且以電鍍的方式將金屬層形成在線路基板之兩面的接合墊表面，使得採用本發明之線路基板將不會殘留有上述之電鍍短線段來干擾訊號之傳輸，所以採用本發明之線路基板將具有較佳的電性效能。

(4) 相較於習知之選擇性電鍍法必須形成兩電鍍種子層及其所衍生出的步驟及成本，由於本發明僅需單一電鍍種子層及搭配線路基板之內部線路，即可提供電鍍用之電流至線路基板之兩面的接合墊，且以電鍍的方式將金屬層形成在線路基板之兩面的接合墊表面，所以本發明將可有效地降低線路基板之製程的週期及成本。

雖然本發明已以多個實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



## 圖式簡單說明

圖1A～1D繪示本發明之第一實施例之選擇性電鍍法的剖面圖。

圖2A～2D繪示本發明之第二實施例之選擇性電鍍法的剖面圖。

圖3A～3D繪示本發明之第三實施例之選擇性電鍍法的剖面圖。

圖4A～4D繪示本發明之第四實施例之選擇性電鍍法的剖面圖。

### 【圖式標示說明】

100：線路基板

100a：第一面

100b：第二面

102a：第一接合墊

102b：第二接合墊

104a：第一鍍罩層

104b：第二鍍罩層

106：電鍍種子層

108：罩幕層

110a：第一金屬層

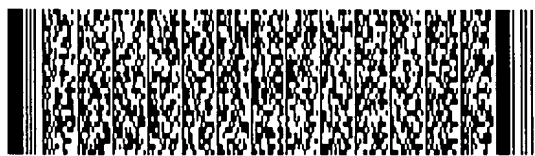
110b：第二金屬層

112a：第一線路間絕緣層

112b：第二線路間絕緣層

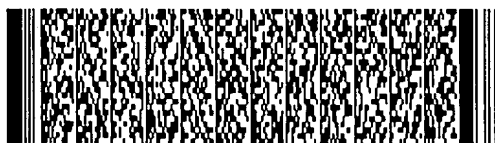
200：線路基板

200a：第一面



圖式簡單說明

200b : 第二面  
202a : 第一接合墊  
202b : 第二接合墊  
204a : 第一鍍罩層  
204b : 第二鍍罩層  
206 : 電鍍種子層  
208 : 罩幕層  
210a : 第一金屬層  
210b : 第二金屬層  
212a : 第一線路間絕緣層  
212b : 第二線路間絕緣層  
300 : 線路基板  
300a : 第一面  
300b : 第二面  
302a : 第一接合墊  
302b : 第二接合墊  
304a : 第一鍍罩層  
304b : 第二鍍罩層  
306 : 電鍍種子層  
308a : 第一罩幕層  
308b : 第二罩幕層  
310a : 第一金屬層  
310b : 第二金屬層  
312a : 第一線路間絕緣層



圖式簡單說明

- 312b : 第二線路間絕緣層
- 400 : 線路基板
- 400a : 第一面
- 400b : 第二面
- 402a : 第一接合墊
- 402b : 第二接合墊
- 404a : 第一鍍罩層
- 404b : 第二鍍罩層
- 406 : 電鍍種子層
- 408a : 第一罩幕層
- 408b : 第二罩幕層
- 410a : 第一金屬層
- 410b : 第二金屬層
- 412a : 第一線路間絕緣層
- 412b : 第二線路間絕緣層



## 六、申請專利範圍

1. 一種選擇性電鍍法，至少包括：

提供一線路基板，該線路基板具有一第一面及對應之第二面，且該線路基板具有一第一接合墊、至少一第二接合墊、圖案化之一第一線路間絕緣層、圖案化之一第一鍍罩層及圖案化之一第二鍍罩層，而該第一接合墊及該第二接合墊分別配置於該第一面及該第二面，且該第一接合墊係電性連接至該第二接合墊，而該第一線路間絕緣層係配置於該線路基板之該第一面，並相鄰於該第一接合墊，而該第一鍍罩層係配置於該第一面，並覆蓋至少局部之該第一線路間絕緣層，而暴露出該第一接合墊，且該第二鍍罩層係配置於該第二面，並暴露出該第二接合墊；

形成一電鍍種子層於該線路基板之該第二面；

形成圖案化之一罩幕層於該線路基板之該第二面，但該罩幕層係暴露出該電鍍種子層之位於該第二接合墊之上的部分；

電鍍一第一金屬層及一第二金屬層分別於該第一接合墊之上及該第二接合墊之上；

移除該罩幕層；以及

移除該電鍍種子層之暴露出的部分。

2. 如申請專利範圍第1項所述之選擇性電鍍法，其中該線路基板更包括圖案化之一第二線路間絕緣層，其配置於該線路基板之該第二面，並相鄰於該第二接合墊，且該第二鍍罩層係覆蓋至少局部之該第二線路間絕緣



## 六、申請專利範圍

層。

3. 如申請專利範圍第1項所述之選擇性電鍍法，其中移除該電鍍種子層之方式包括蝕刻及研磨其中之一。

4. 一種選擇性電鍍法，至少包括：

提供一線路基板，該線路基板具有一第一面及對應之一第二面，且該線路基板具有至少一第一接合墊、至少一第二接合墊、圖案化之一第一線路間絕緣層、圖案化之一第一錐罩層及圖案化之一第二錐罩層，而該第一接合墊及該第二接合墊分別配置於該第一面及該第二面，且該第一接合墊係電性連接至該第二接合墊，而該第一線路間絕緣層係配置於該線路基板之該第一面，並相鄰於該第一接合墊，而該第一錐罩層係配置於該第一面，並覆蓋至少局部之該第一線路間絕緣層，而暴露出該第一接合墊，且該第二錐罩層係配置於該第二面，並暴露出該第二接合墊；

形成一電鍍種子層於該線路基板之該第二面；

電鍍一第一金屬層及一第二金屬層分別於該第一接合墊之上及該電鍍種子層之上；

形成圖案化之一罩幕層於該線路基板之該第二面，且該罩幕層係覆蓋於該第二金屬層之位於該第二接合墊之上的部分；

移除該第二金屬層之暴露出的部分；

移除該電鍍種子層之暴露出的部分；以及

移除該罩幕層。



## 六、申請專利範圍

5. 如申請專利範圍第4項所述之選擇性電鍍法，其中該線路基板更包括圖案化之一第二線路間絕緣層，其配置於該線路基板之該第二面，並相鄰於該第二接合墊，且該第二鍍層係覆蓋至少局部之該第二線路間絕緣層。

6. 如申請專利範圍第4項所述之選擇性電鍍法，其中移除該第二金屬層之方式包括蝕刻。

7. 如申請專利範圍第4項所述之選擇性電鍍法，其中移除該電鍍種子層之方式包括蝕刻及研磨其中之一。

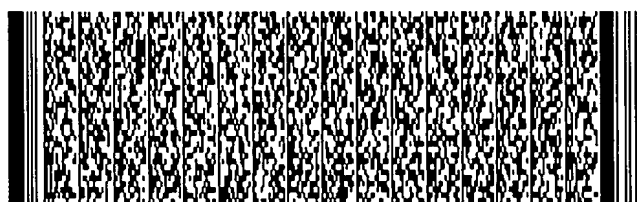
8. 一種選擇性電鍍法，至少包括：

提供一線路基板，該線路基板具有一第一面及對應之一第二面，且該線路基板具有至少一第一接合墊、至少一第二接合墊及圖案化之一第一線路間絕緣層，而該第一接合墊及該第二接合墊分別配置於該第一面及該第二面，且該第一接合墊係電性連接至該第二接合墊，而該第一線路間絕緣層係配置於該線路基板之該第一面，並相鄰於該第一接合墊；

形成一電鍍種子層於該線路基板之該第二面；

形成圖案化之一第一罩幕層及圖案化之一第二罩幕層分別於該線路基板之該第一面及該電鍍種子層之上，且該第一罩幕層係暴露出該電鍍種子層之位於該第二接合墊之上的部分；

電鍍一第一金屬層及一第二金屬層分別於該第一接合墊之上及該第二接合墊之上；



## 六、申請專利範圍

移除該罩幕層；以及

移除該電鍍種子層之暴露出的部分。

9. 如申請專利範圍第8項所述之選擇性電鍍法，更包括形成圖案化之一第一鍍罩層於該第一面，且該第一鍍罩層係覆蓋至少局部之該第一線路間絕緣層，但暴露出該第一金屬層。

10. 如申請專利範圍第9項所述之選擇性電鍍法，更包括形成圖案化之一第二鍍罩層於該第二面，且該第二鍍罩層係暴露出該第二金屬層。

11. 如申請專利範圍第8項所述之選擇性電鍍法，其中該線路基板更包括圖案化之一第二線路間絕緣層，其配置於該線路基板之該第二面，並相鄰於該第二接合墊，且該第二鍍罩層係覆蓋至少局部之該第二線路間絕緣層。

12. 如申請專利範圍第8項所述之選擇性電鍍法，其中移除該電鍍種子層之方式包括蝕刻及研磨其中之一。

13. 一種選擇性電鍍法，至少包括：

提供一線路基板，該線路基板具有一第一面及對應之一第二面，且該線路基板具有至少一第一接合墊、至少一第二接合墊及圖案化之一第一線路間絕緣層，而該第一接合墊及該第二接合墊分別配置於該第一面及該第二面，且該第一接合墊係電性連接至該第二接合墊，而該第一線路間絕緣層係配置於該線路基板之該第一面，並相鄰於該第一接合墊；





## 六、申請專利範圍

形成一電鍍種子層於該線路基板之該第二面；

電鍍一第一金屬層及一第二金屬層分別於該第一接合墊之上及該電鍍種子層之上；

形成圖案化之一第一罩幕層及圖案化之一第二罩幕層分別於該線路基板之該第一面及該電鍍種子層之上，而該第一罩幕層係暴露出該第一金屬層，且該第二罩幕層係覆蓋於該第二金屬層之位於該第二接合墊之上的部分；

移除該第二金屬層之暴露出的部分；

移除該電鍍種子層之暴露出的部分；以及

移除該罩幕層。

14. 如申請專利範圍第13項所述之選擇性電鍍法，更包括形成圖案化之一第一鍍層於該第一面，且該第一鍍層係覆蓋至少局部之該第一線路間絕緣層，但暴露出該第一金屬層。

15. 如申請專利範圍第14項所述之選擇性電鍍法，更包括形成圖案化之一第二鍍層於該第二面，且該第二鍍層係暴露出該第二金屬層。

16. 如申請專利範圍第13項所述之選擇性電鍍法，其中該線路基板更包括圖案化之一第二線路間絕緣層，其配置於該線路基板之該第二面，並相鄰於該第二接合墊，且該第二鍍層係覆蓋至少局部之該第二線路間絕緣層。

17. 如申請專利範圍第13項所述之選擇性電鍍法，其



## 六、申請專利範圍

中移除該電鍍種子層之方式包括蝕刻及研磨其中之一。

18. 一種選擇性電鍍法，至少包括：

提供一線路基板，該線路基板具有一第一面及對應之一第二面，而該線路基板具有至少一第一接合墊、至少一第二接合墊及圖案化之一第一線路間絕緣層，其中該第一接合墊及該第二接合墊係分別配置於該第一面及該第二面，且該第一接合墊係電性連接至該第二接合墊，而該第一線路間絕緣層係配置於該線路基板之該第一面，並相鄰於該第一接合墊；

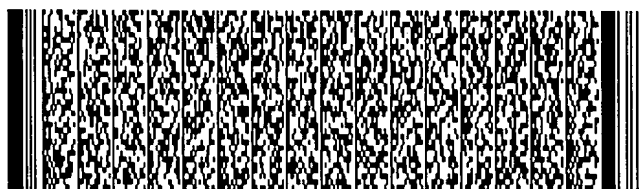
形成一電鍍種子層於該線路基板之該第二面；

電鍍一第一金屬層及一第二金屬層分別於該第一接合墊之上及該第二接合墊之上；以及

移除該電鍍種子層之暴露出的部分。

19. 如申請專利範圍第18項所述之選擇性電鍍法，其中該線路基板更包括圖案化之一第二線路間絕緣層，其配置於該線路基板之該第二面，並相鄰於該第二接合墊，且該第二鍍層係覆蓋至少局部之該第二線路間絕緣層。

20. 如申請專利範圍第18項所述之選擇性電鍍法，其中移除該電鍍種子層之方式包括蝕刻及研磨其中之一。



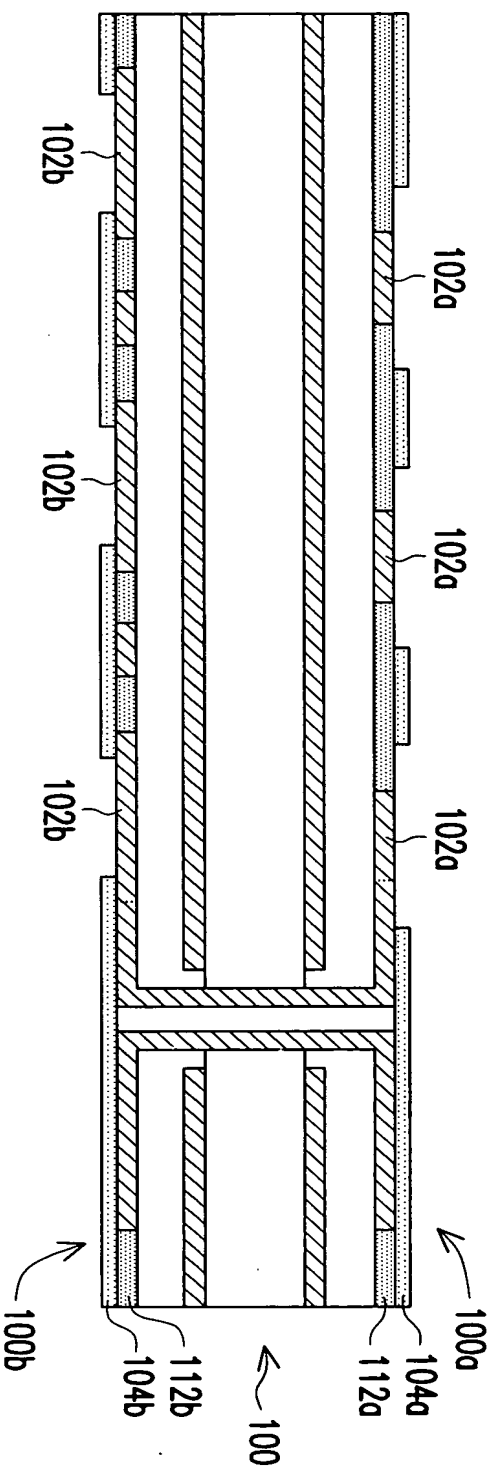


圖 1A

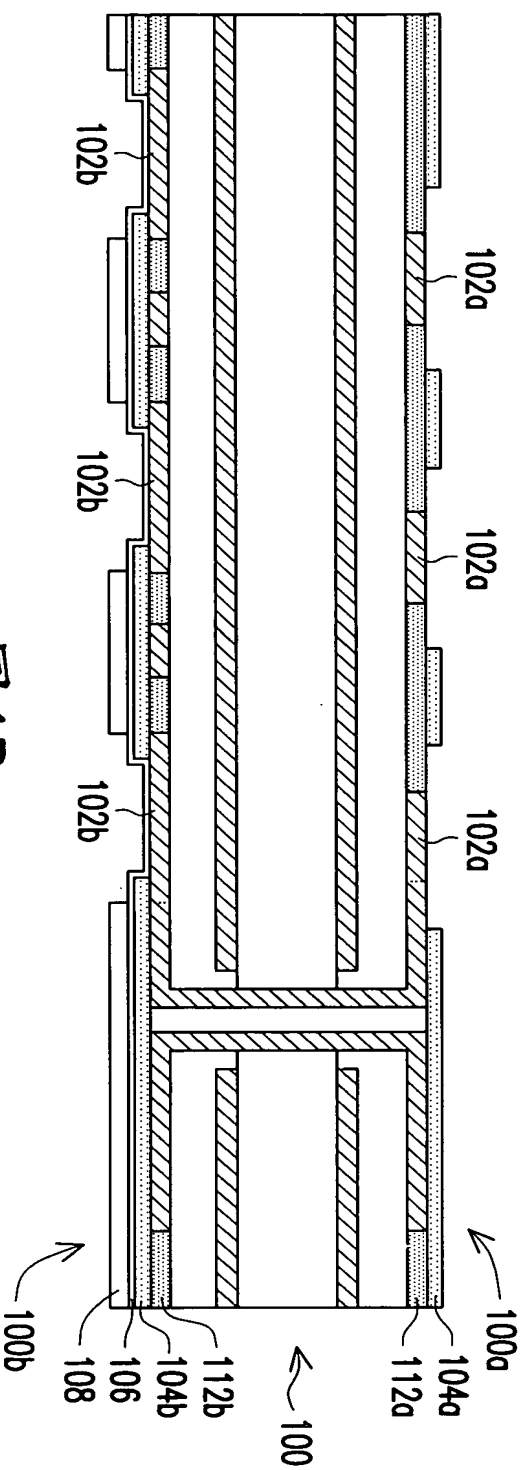


圖 1B

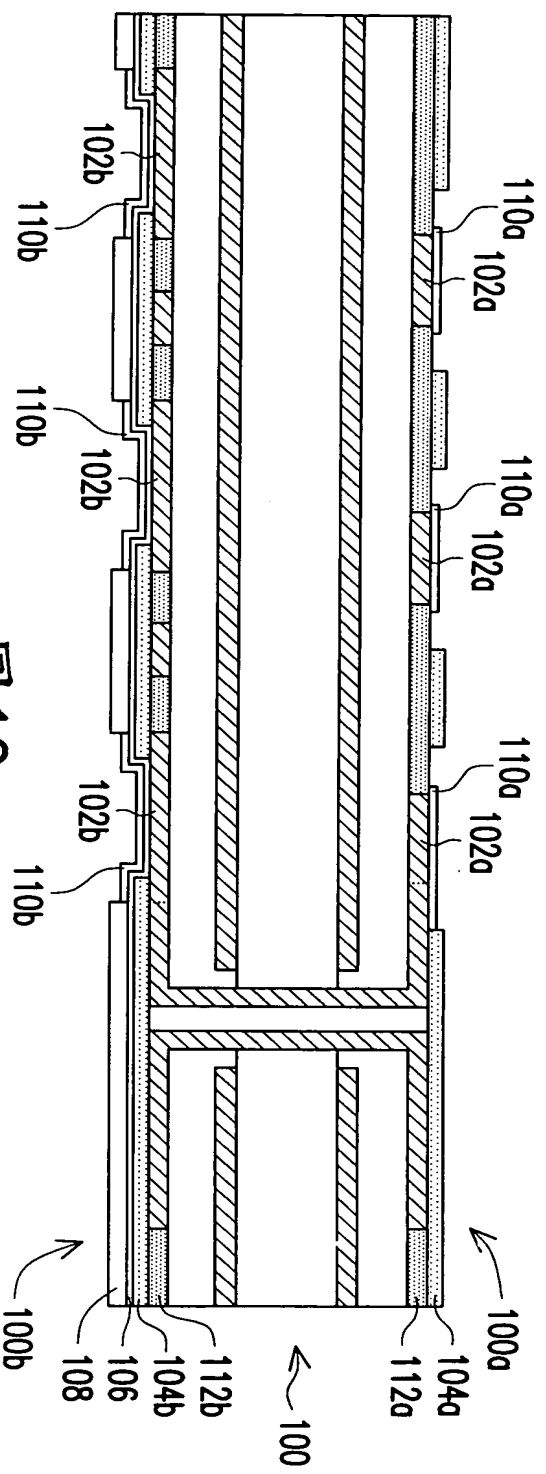


圖 1C

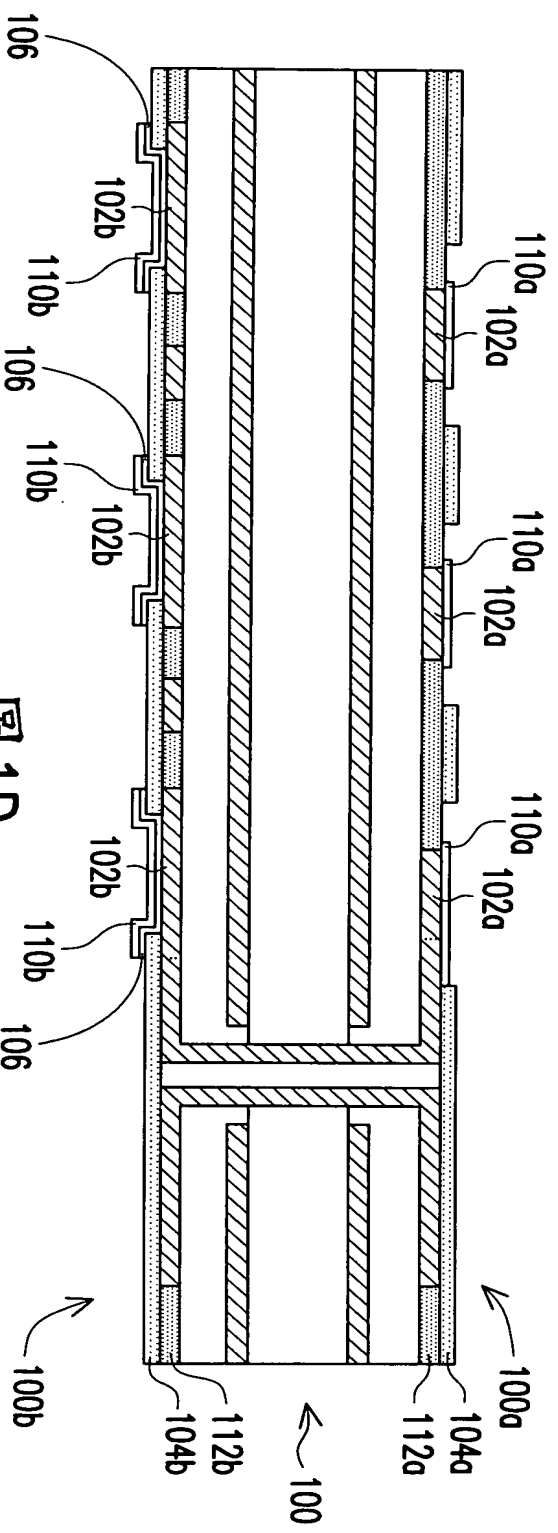


圖 1D

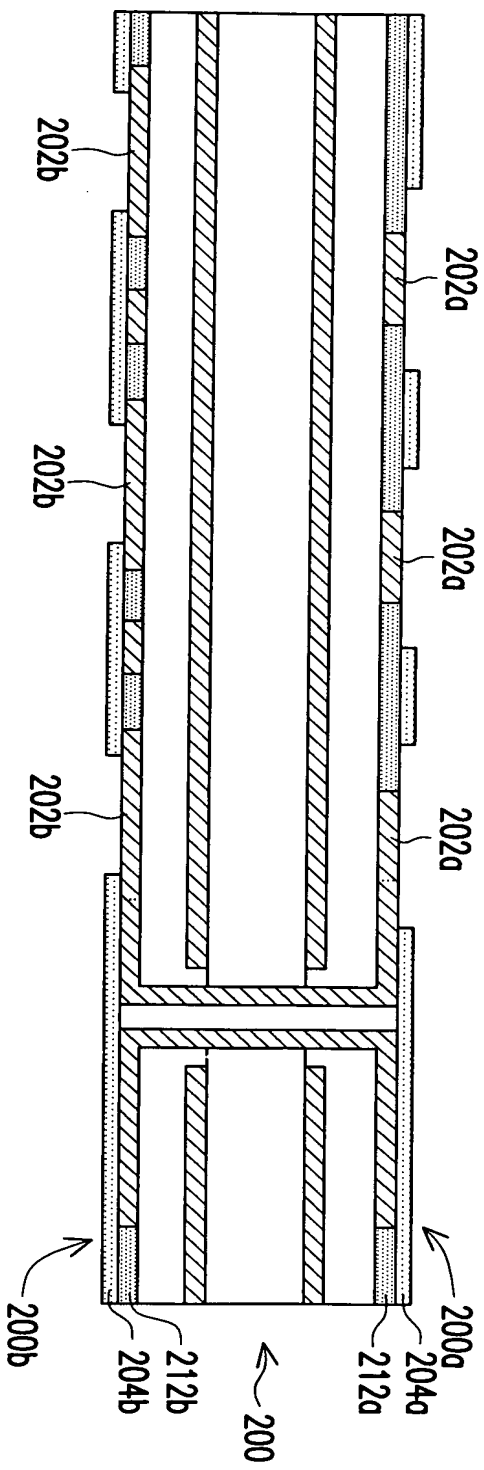


圖 2A

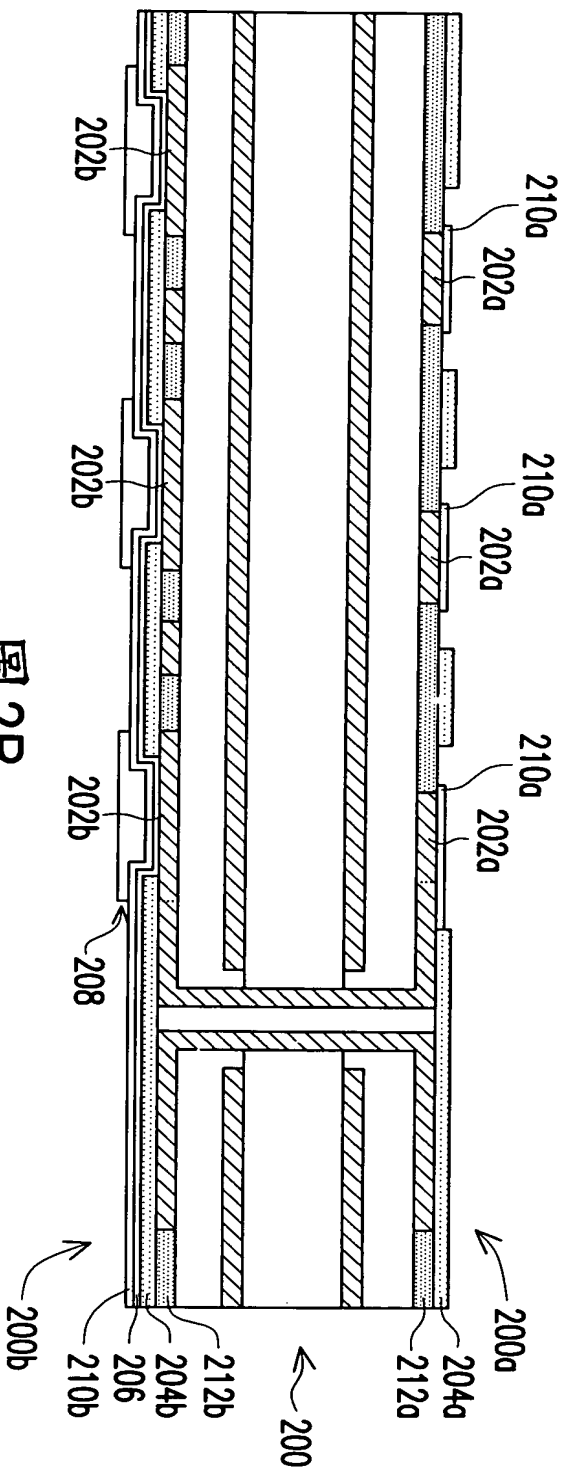


圖 2B

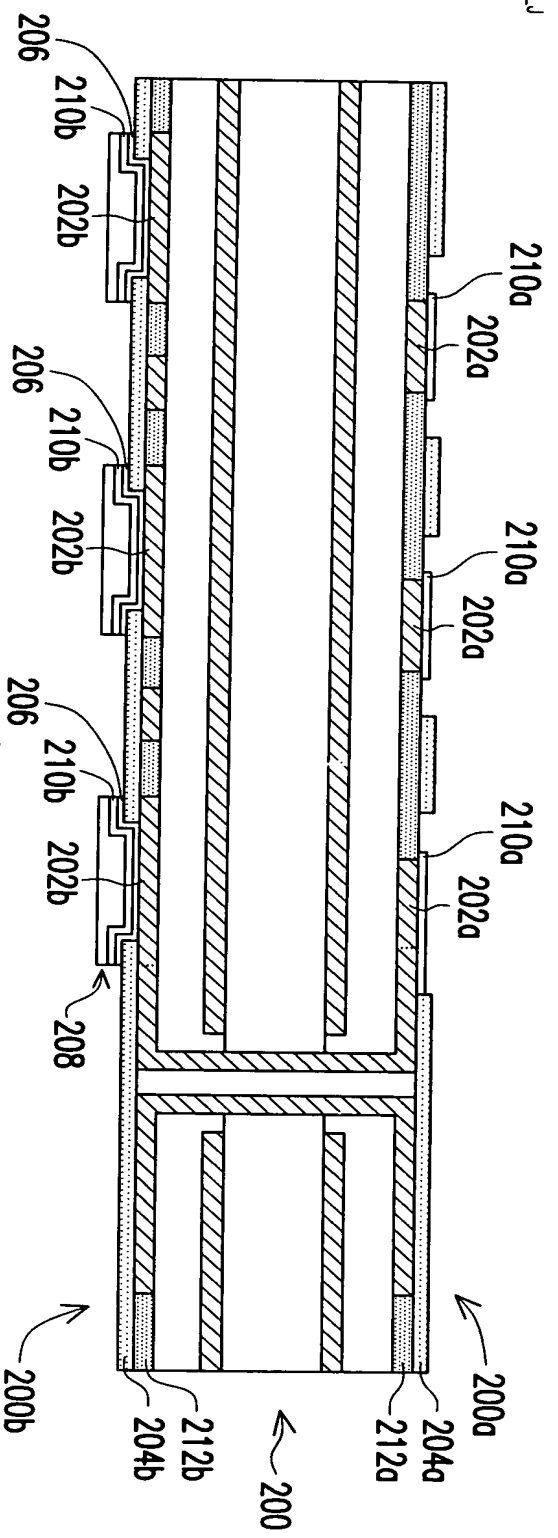


圖 2C

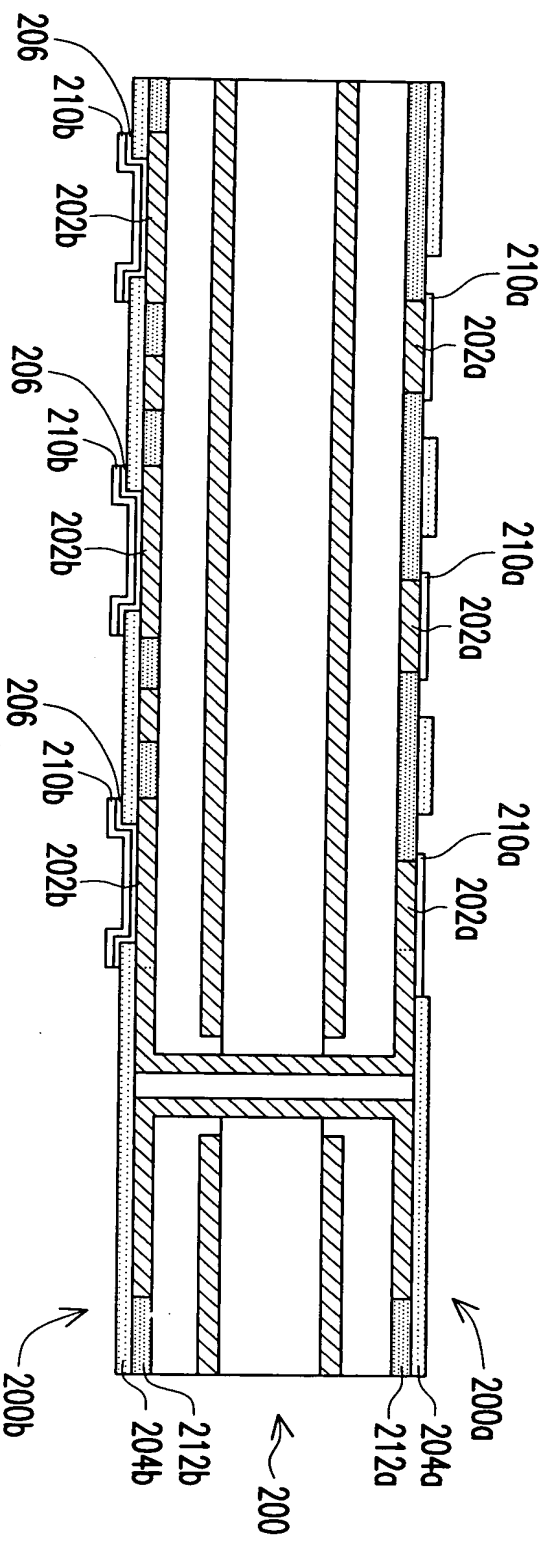
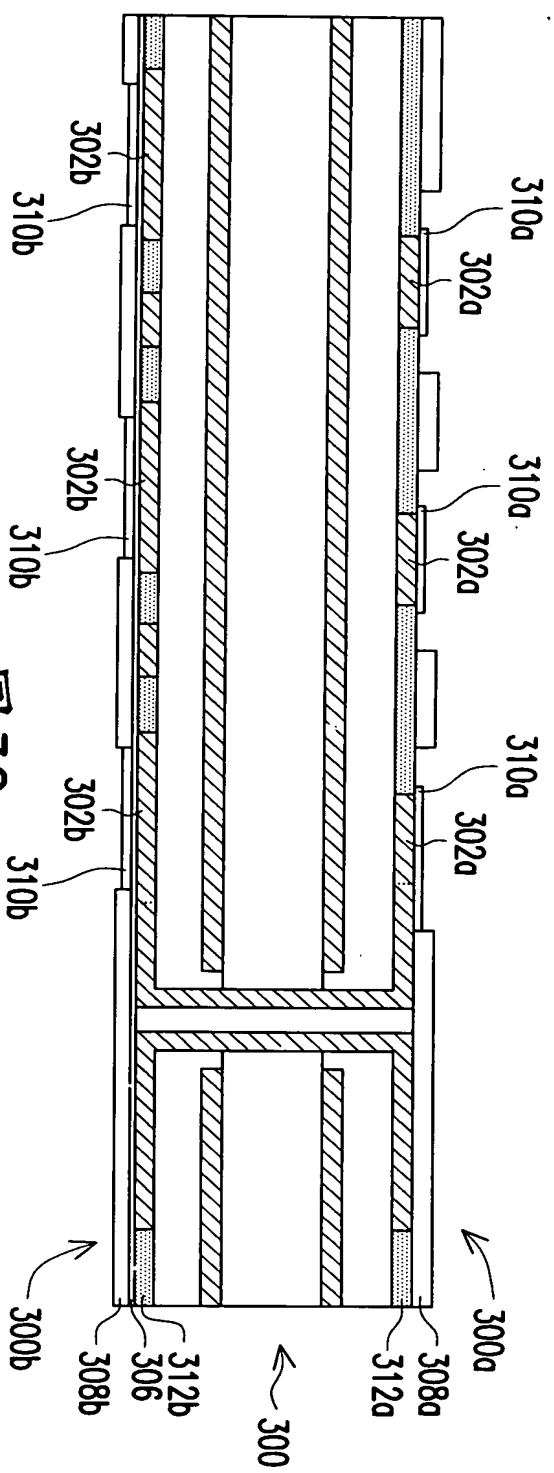
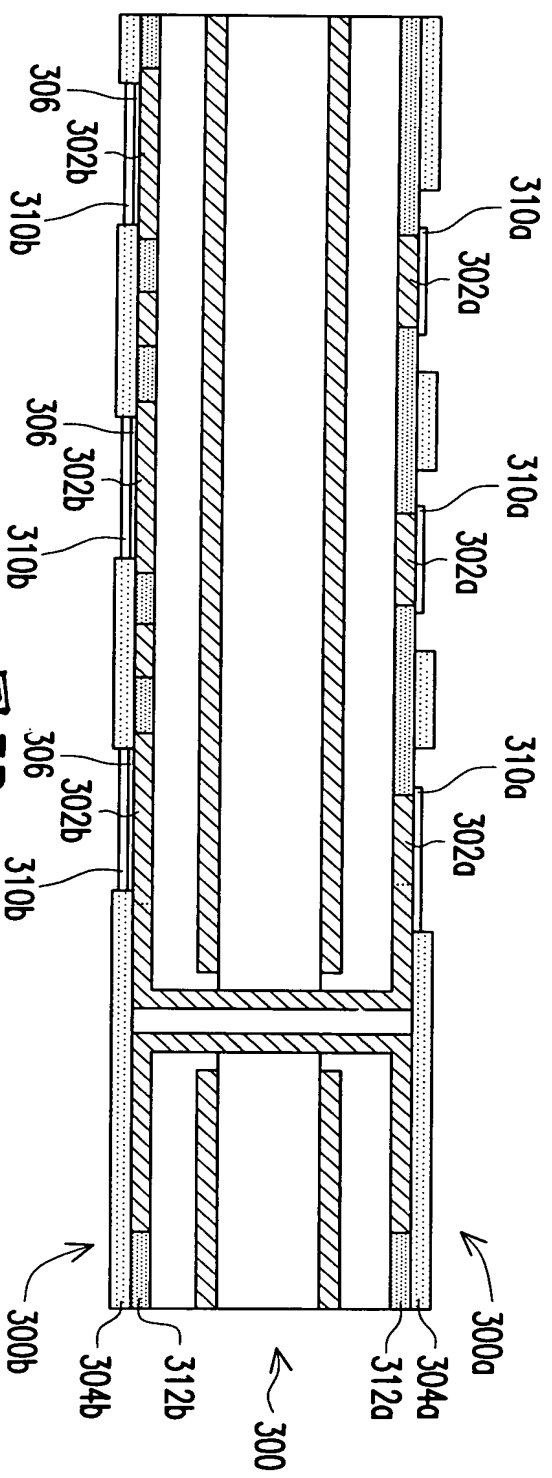


圖 2D





30



3D 圖



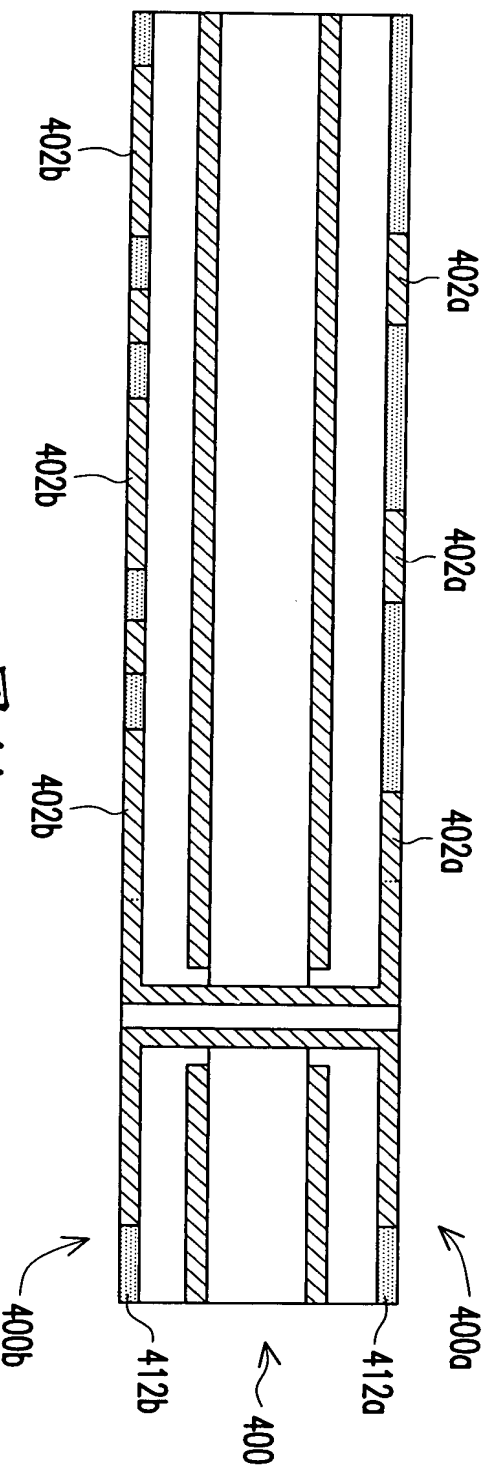


圖 4A

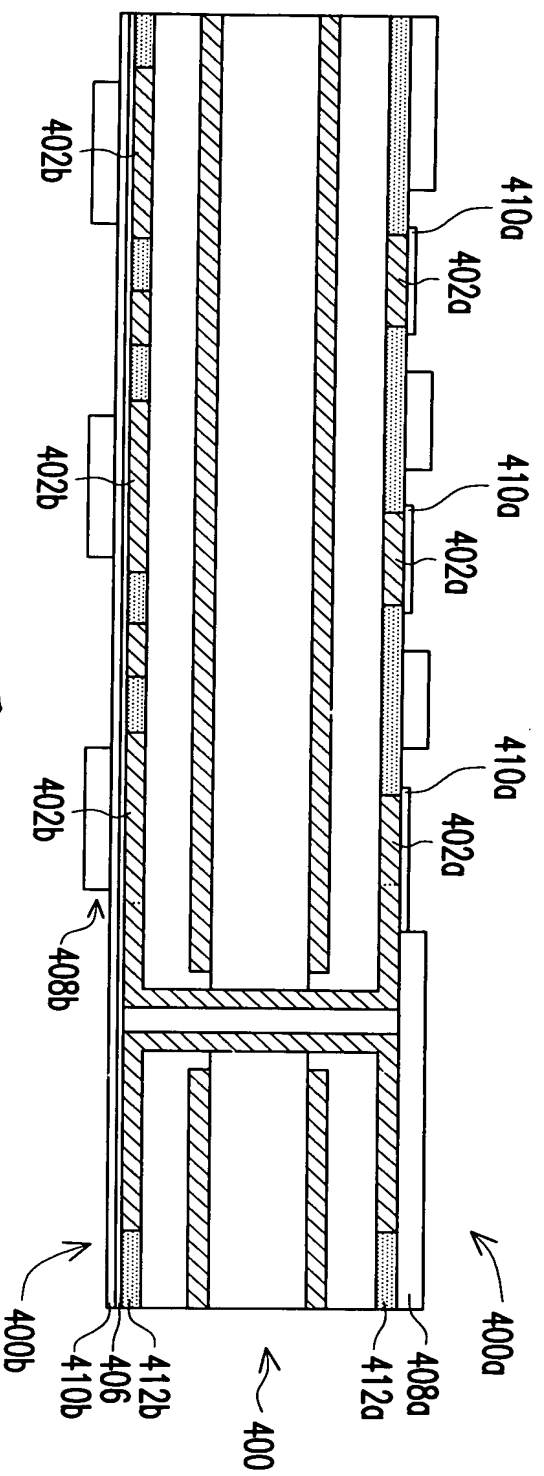


圖 4B

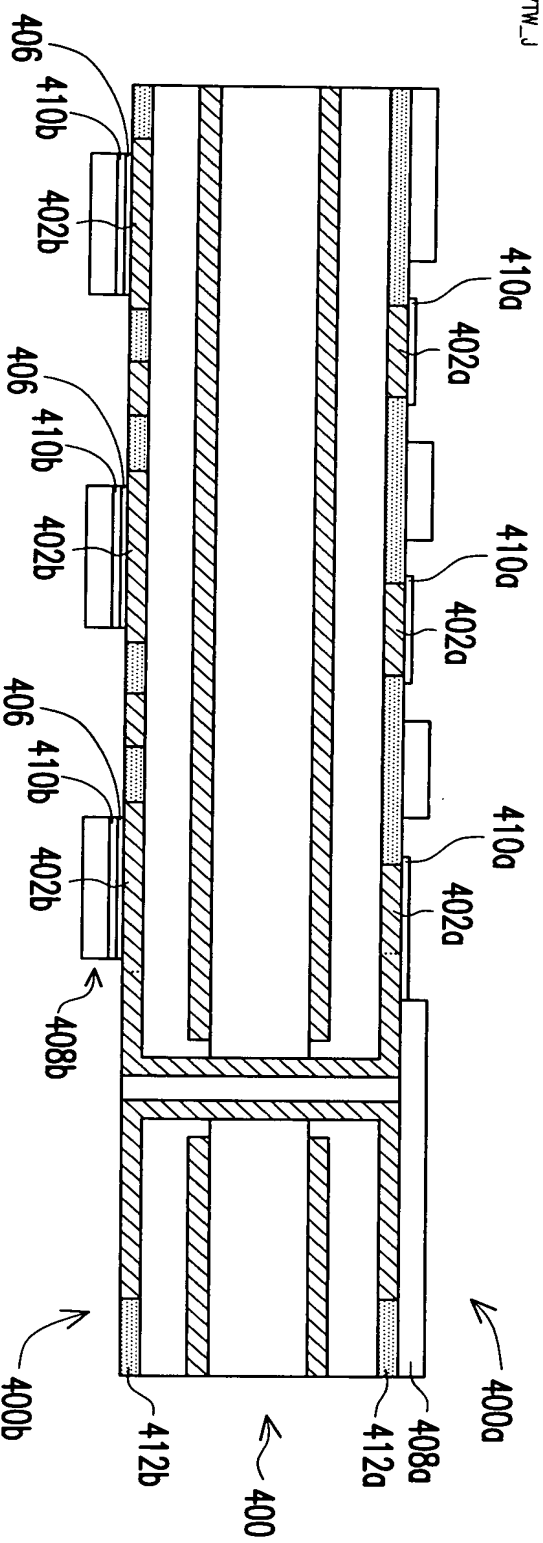


圖 4C

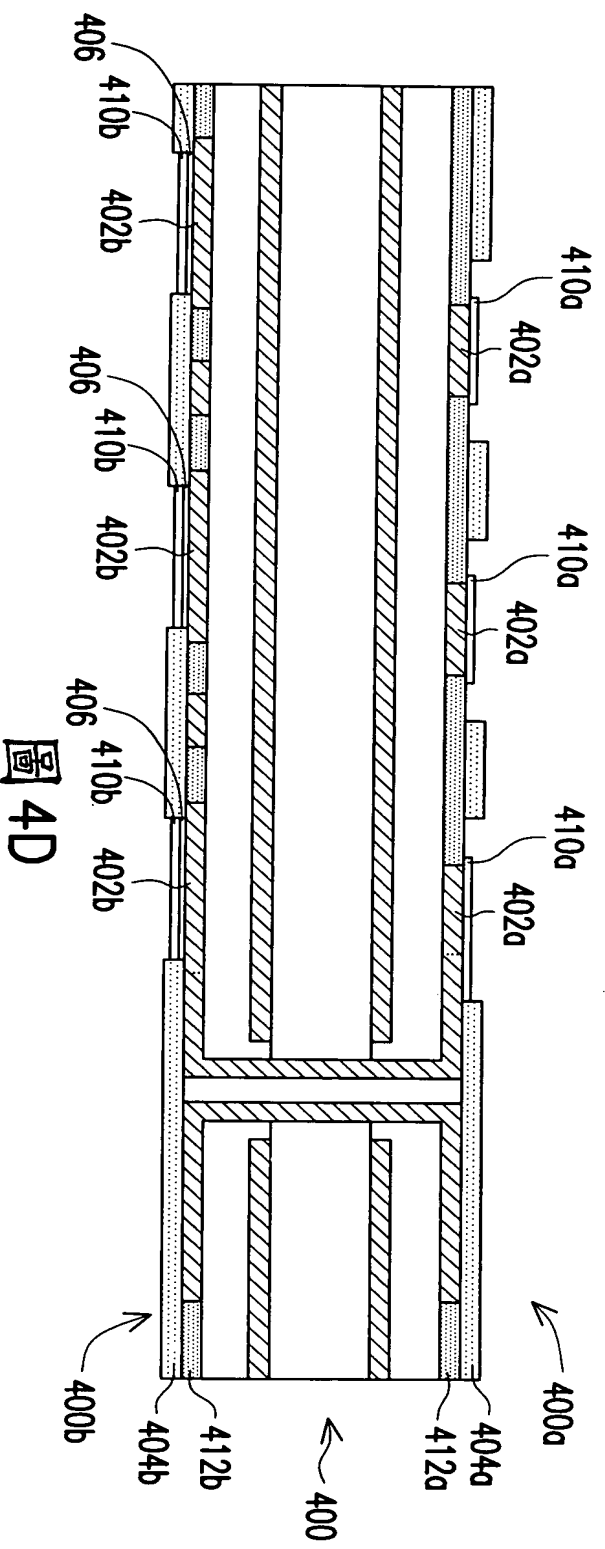
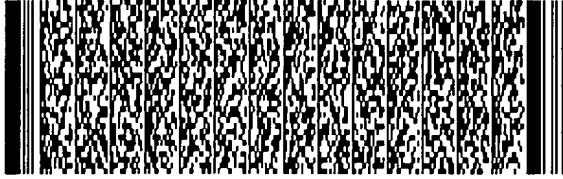


圖 4D

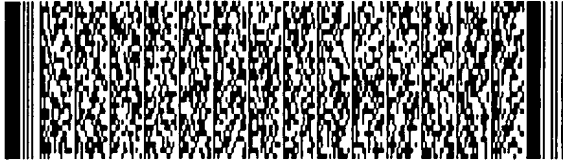
第 1/33 頁



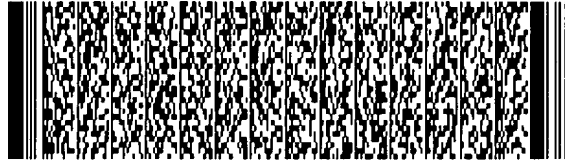
第 2/33 頁



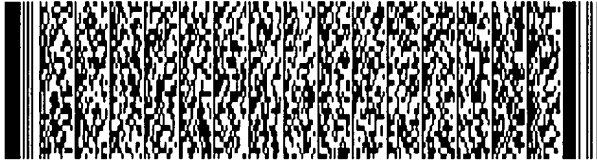
第 3/33 頁



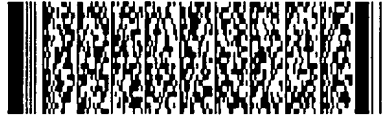
第 3/33 頁



第 4/33 頁



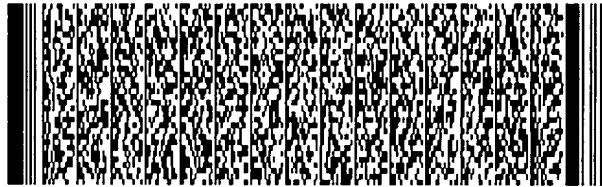
第 5/33 頁



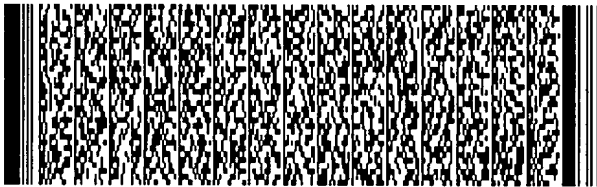
第 6/33 頁



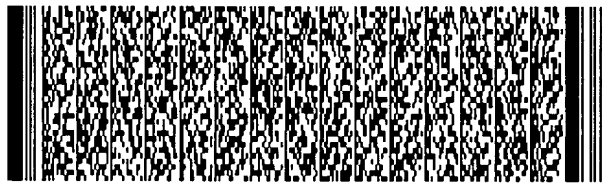
第 7/33 頁



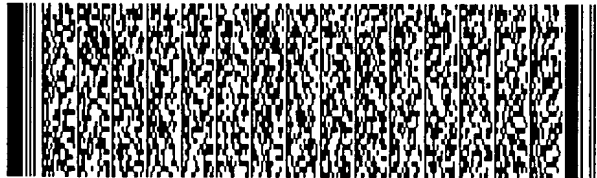
第 7/33 頁



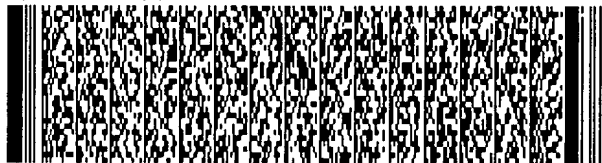
第 8/33 頁



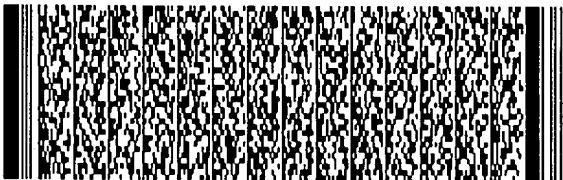
第 8/33 頁



第 9/33 頁



第 9/33 頁



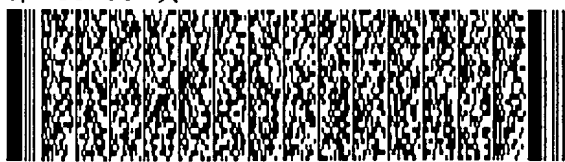
第 10/33 頁



第 10/33 頁



第 11/33 頁



第 11/33 頁



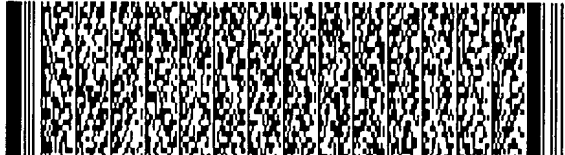
第 12/33 頁



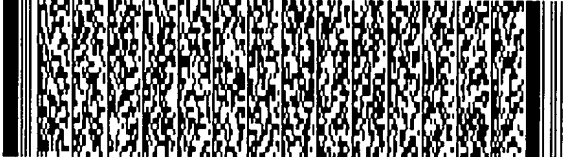
第 12/33 頁



第 13/33 頁



第 13/33 頁



第 14/33 頁



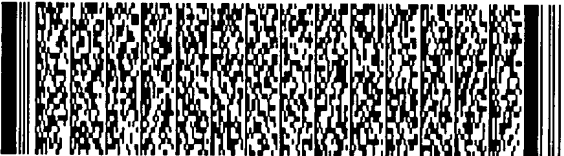
第 14/33 頁



第 15/33 頁



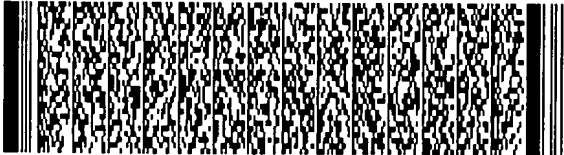
第 15/33 頁



第 16/33 頁



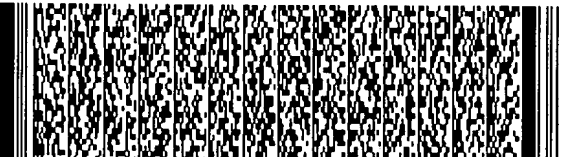
第 16/33 頁



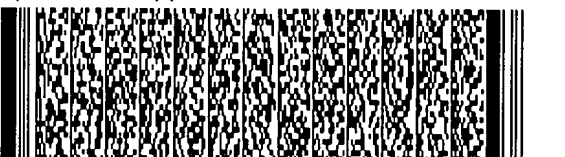
第 17/33 頁



第 17/33 頁



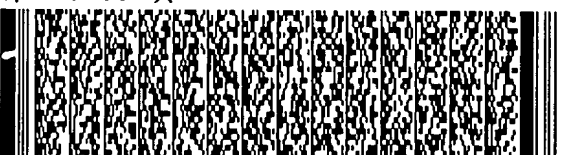
第 18/33 頁



第 18/33 頁



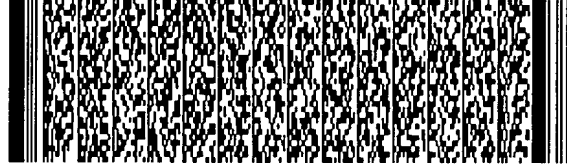
第 19/33 頁



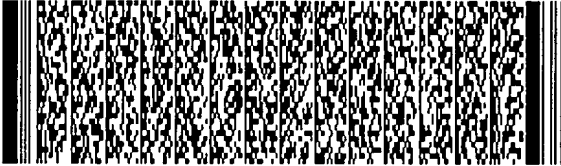
第 19/33 頁



第 20/33 頁



第 20/33 頁



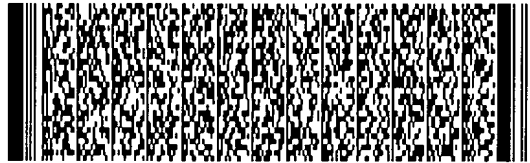
第 21/33 頁



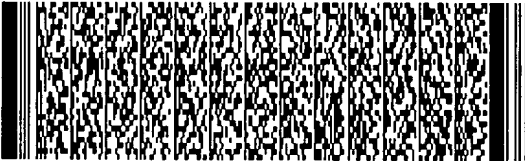
第 21/33 頁



第 22/33 頁



第 22/33 頁



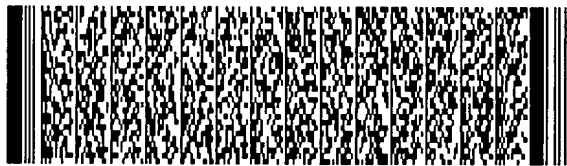
第 23/33 頁



第 23/33 頁



第 24/33 頁



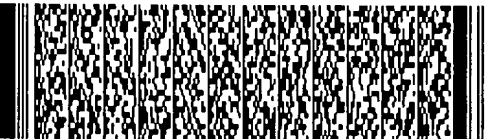
第 24/33 頁



第 25/33 頁



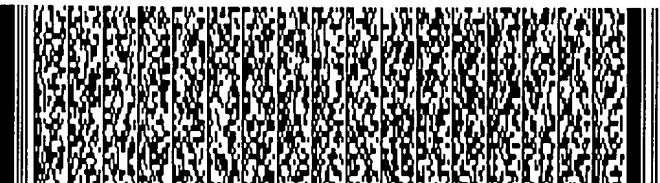
第 26/33 頁



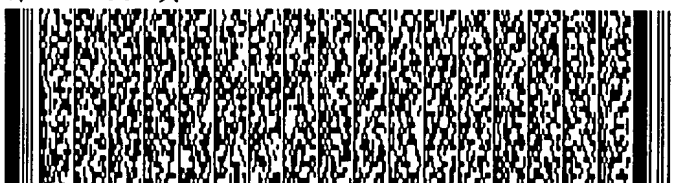
第 27/33 頁



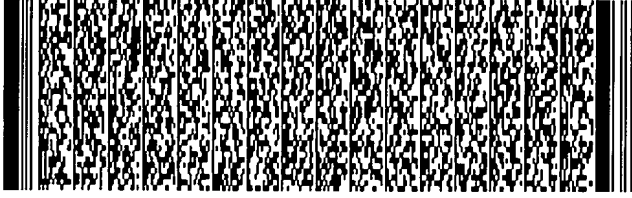
第 28/33 頁



第 29/33 頁



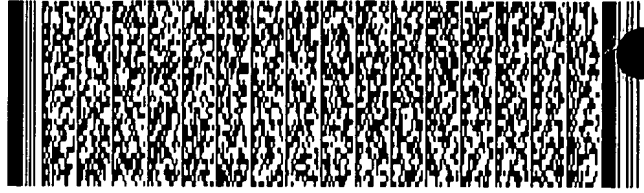
第 30/33 頁



第 32/33 頁



第 31/33 頁



第 33/33 頁

